

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-022197
 (43)Date of publication of application : 21.01.2000

(51)Int.Cl. H01L 31/107

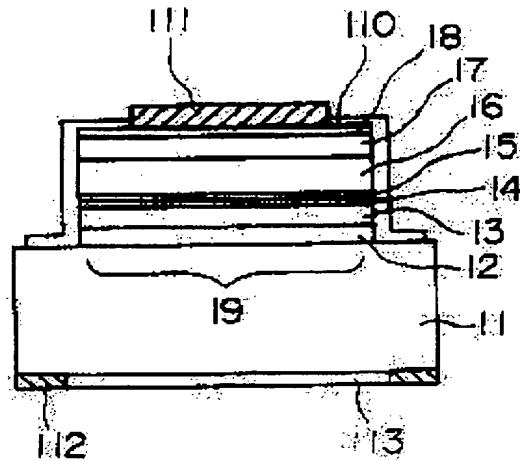
(21)Application number : 10-189474 (71)Applicant : NEC CORP
 (22)Date of filing : 03.07.1998 (72)Inventor : WATANABE ISAO

(54) AVALANCHE PHOTODIODE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a highly reliable giga-bit response avalanche photodiode(APD) having simple element structure.

SOLUTION: A laminate structure of an n-type semiconductor buffer layer 12, a semiconductor multiplication layer 13, a p-type semiconductor field relax layer 14, a p-type semiconductor light absorbing layer, a p-type semiconductor cap layer 17 and a p-type semiconductor contact layer 18 is formed on a semiconductor substrate 11. The p-type semiconductor light absorbing layer has a depletion region 15 of 10 nm-0.3 μm thick abutting on the p-type semiconductor field relax layer 14, and a nondepletion region 16 of 2 μm thick or less contiguous thereto.



LEGAL STATUS

[Date of request for examination] 03.07.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3141847

[Date of registration] 22.12.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-22197

(P2000-22197A)

(43) 公開日 平成12年1月21日 (2000.1.21)

(51) Int.Cl.
H 01 L 31/107

識別記号

F I
H 01 L 31/10

B 5 F 0 4 9
マコード (参考)

審査請求 有 請求項の数 9 OL (全 8 頁)

(21) 出願番号 特願平10-189474

(22) 出願日 平成10年7月3日 (1998.7.3)

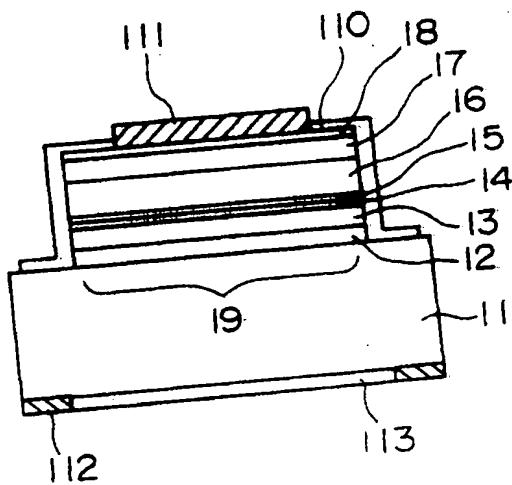
(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72) 発明者 渡邊 功
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74) 代理人 100108578
弁理士 高橋 詔男 (外3名)
F ターム (参考) 5F049 AA09 AB07 BA01 BA03 BB01
DA02 DA03 DA06 DA11 FA11
HA01

(54) 【発明の名称】 アバランシェフォトダイオード

(57) 【要約】 (修正有)

【課題】 簡易な素子構造で、ギガビット応答・高信頼性なアバランシェフォトダイオード (APD) を実現する。

【解決手段】 半導体基板11上に、n型半導体バッフア層12と、半導体増倍層13と、p型半導体電界緩和層14と、p型半導体光吸收層と、p型半導体キャップ層15と、p型半導体コンタクト層16とからなる積層構造を有するアバランシェフォトダイオードにおいて、該p型半導体光吸收層が、該p型半導体電界緩和層14に隣接する厚さ10nm以上0.3μm以下の空乏化領域15と、これに隣接する厚さ2μm以下の非空乏化領域16の2層から構成されることを特徴とするアバランシェフォトダイオード。



1

【特許請求の範囲】

【請求項1】 半導体基板上に、第1導電型半導体バッファ層と、半導体増倍層と、第2導電型半導体電界緩和層と、第2導電型半導体光吸收層と、第2導電型半導体層と、第2導電型半導体キャップ層と、第2導電型半導体コンタクト層とからなる積層構造を有するアバランシェフォトダイオードにおける積層構造を有するアバランシェフォトダイオードにおいて、前記第2導電型半導体光吸收層が、前記第2導電型半導体電界緩和層に隣接する厚さ10nm以上0.3μm以下の空乏化領域と、さらにこれに隣接する厚さ2μm以下の非空乏化領域の2層から構成されることを特徴とするアバランシェフォトダイオード。

【請求項2】 請求項1に記載のアバランシェフォトダイオードにおいて、前記第1導電型がn型で、前記第2導電型がp型であることを特徴とするアバランシェフォトダイオード。

【請求項3】 請求項1または2に記載のアバランシェフォトダイオードにおいて、エッティングで形成した端面入射構造を有することを特徴とするアバランシェフォトダイオード。

【請求項4】 請求項1から請求項3のいずれかに記載のアバランシェフォトダイオードにおいて、前記第2導電型光吸收層のキャリア濃度が、該空乏化光吸收層にむかって、段階的に、または、連続的に変化していることを特徴とするアバランシェフォトダイオード。

【請求項5】 半導体基板上に、第1導電型半導体バッファ層と、第1導電型半導体光吸收層と、第1導電型半導体電界緩和層と、半導体増倍層と、エッティング停止層と、第2導電型半導体キャップ層と、第2導電型半導体コンタクト層とからなる積層構造を有し、かつ、受光領域の外周部分に表面より少なくとも概第1導電型半導体領域の電界緩和層に達する深さの第1導電型化領域と、さらに該受光領域上の該第2導電型半導体キャップ層と該第1導電型化領域の間に深さが該第2導電型半導体コンタクト層と該キャップ層の厚さ和に相当する環状分離構造とを有するアバランシェフォトダイオードにおいて、

前記第1導電型半導体光吸收層が、前記第1導電型半導体電界緩和層に隣接する厚さ10nm以上0.3μm以下の空乏化領域と、さらにこれに隣接する厚さ2μm以下の非空乏化領域の2層から構成されることを特徴とするアバランシェフォトダイオード。

【請求項6】 請求項5に記載のアバランシェフォトダイオードにおいて、第1導電型がp型で、第2導電型がn型であることを特徴とするアバランシェフォトダイオード。

【請求項7】 請求項5または請求項6に記載のアバランシェフォトダイオードにおいて、エッティングで形成した端面入射構造を有し、該端面から

の該第1導電型化領域の長さが20μm以下であることとを特徴とするアバランシェフォトダイオード。

【請求項8】 請求項7に記載のアバランシェフォトダイオードにおいて、前記端面入射構造における後端面からの前記第1導電型化領域の長さが20μm以下であることを特徴とするアバランシェフォトダイオード。

【請求項9】 請求項5から請求項8に記載のアバランシェフォトダイオードにおいて、前記第1導電型光吸收層のキャリア濃度が、前記空乏化光吸收層にむかって、段階的に、または、連続的に変化していることを特徴とするアバランシェフォトダイオード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、光通信用のギガビット応答速度を有し、製作が容易、かつ、高信頼なアバランシェフォトダイオード(APD)の構造に関する。

【0002】

【従来の技術】 次世代の加入者系光通信システムにおいては、ギガビット応答速度を有し、かつ、低コストなアバランシェフォトダイオード(APD)が要求されている。このような素子には、素子構造が簡易で量産性・低コスト性にすぐれ、かつ、石英系光導波路(PLC)等にパッシブアライメントにより容易にハイブリッド実装が可能で、かつ、高信頼である、といった性能・特徴が必要である。このような目的の実現をめざした従来素子の一例として、図5に示す埋込導波路構造のAPD(特開平4-286168号)が報告されている。図において、符号51はn⁺-InP基板、52はn⁻InP光導波路層、53はリッジ型光導波領域、54はマッチング層、55はInGaAs光吸收層、56はn⁺-InP層、57はp⁺拡散層、58はp⁻拡散領域、59は増倍層、510はp側電極、511はn側電極でInP埋込層、510はp側電極、511はn側電極である。この従来素子では、素子のアクティブ部分をInPで埋込み再成長し、かつパッシブ半導体光導波路59で埋込み再成長し、かつパッシブ半導体光導波路53を集積する構造である。また、他の例として、図6に示すメサ型面入射構造APD(信学会総合大会1998、C-3-11)がある。図において、61はn型InP基板、62はn型InPバッファ層、63は超格子増倍層、64はp型InP電界緩和層、65p⁻型InGaAs光吸收層、66はp型InPキャップ層、67はp⁺型InGaAsコタクト層、68は受光領域、69はパッシベーション膜、610はp電極、611はn電極、612はARコートである。さらに、他の例として、図7に示すメサ型導波路構造APD(特開平6-237009号)がある。図において、71はn型InP基板、72はn型InAlAsバッファ層、73は超格子増倍層、74はp型InAlGaAs電界緩和層、75はp型InGaAs光吸收層、76はp型InAlG

50

3

a As バッファ層、77はp型InAlAs バッファ層、78はp型InGaAs コタクト層、79はポリイミド層である。図6および図7に示すメサ型導波路構造APDでは、メサエッチングで形成した素子のアクティブ部分にポリイミド等の表面保護膜69、79を直接コートした簡単な構造の素子である。また、別な例として図8に示す面入射構造プレーナ型APD (IEEE, Photonics Technology Letters, 8巻, 827-829ページ, 1996) がある。図において、81はSI-InP基板、82はp⁺型バッファ層、83はp⁻型InGaAs光吸収層、84はp型InP電界緩和層、85はノンドープInAlAs/p型InAlGaAs超格子増倍層、86はn⁺型InAlAsキャップ層、87はn⁺型InGaAsコンタクト層、88は円環状分離溝、89p型化領域、810はト層、811はp電極、813はn電極、81ガードリング、812はp電極、815はARコートである。4はパッシベーション膜、815はARコートである。この場合、厚さ1μm程度以上の空乏化光吸収層83を有するためにガードリング810が不可欠な素子構造である。一方、図9に示す従来例は、アバランシェ増倍機能は有さないpnフォトダイオード (特開平9-275224号、信学技法LQE97-120(1997)) である。図において、91はp型光吸収層、92はn型である。93はキャリア走行層、94はp型キャリア電極層、95はアノード電極、96はカソード電極、97は半絶縁性基板、98はn型クリフ層、99はi型セットバック層、910はp型コンタクト層である。これは、超高速応答(40~160GHz)・高飽和出力(~1V)を目的としたメサ型構造素子である。この従来例は、本発明のAPD構成に一見類似しているかのようないくつかの構造であるが、目的上・構造上、本発明とは異なるので、その相違を後述する。

【0003】

【発明が解決しようとする課題】上記図5に示す従来構造APDでは、作製工程(埋込工程)が複雑で良品歩留まりが低下するという問題点がある。また、図6および図7に示す従来構造APDでは、メサ端面(特にInGaAs光吸収層のメサ端面)と表面保護膜の安定性が不十分で高信頼性が得にくいという問題点がある。また、図8に示す従来構造APDでは、作製工程(ガードリング作製工程)が複雑であるという問題点がある。

【0004】一方、図9に示す従来構造pnフォトダイオードでのAPD動作を考えると、キャリア走行層93とp型光吸収層91の間に電界緩和層が存在している。このため、光吸収層91の電界をトンネル暗電流の発生限界以下に制御するのは、p側ではナローバンドギャップのp型光吸収層91のみであるため、APDとして動作させようとすると、キャリア走行層93に接する光吸収層91で電界上昇が生じて暗電流が増大するとい

う不具合が生じる。さらには、本従来例では、該p型光吸収層91はバイアス状態で空乏化しないように設定されているため、参考文献(信学技法LQE97-120(1997))によれば、該p型光吸収層91とキャリア走行層93の間のバンド不連続によるヘテロ障壁を光吸収層91で発生した光励起キャリア(電子)が乗り越えて高速応答するために、該p型光吸収層91うち、キャリア走行層93に接する非常に薄い領域(10nm)99のみを高純度(i型層)として空乏化させ、かつ、該キャリア走行層93のうち、光吸収層91に接する非常に薄い領域(10nm)98をクリフ層としてデルタ的にn型に高濃度ドーピングさせている。このような構造構造、特にn型高濃度クリフ層98構造が不可欠な構造では、もしアバランシェ増倍をキャリア走行層で発生させようとしても、アバランシェ増倍が発生するほど高電界を印加する前に光吸収層側で暗電流が増大してしまうことを避け得ない。すなわち、本従来例の素子構造は、本質的にAPDに導入不可能なものである。

【0005】本発明は、上述した事情に鑑みてなされたもので、ギガビット応答速度を有し、簡易な構造で製作が容易、かつ、高信頼性、新規な光加入者用低コストAPDを実現することを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するための本発明に係るアバランシェフォトダイオードは、以下の特徴を有する。

【0007】本発明の第一のアバランシェフォトダイオードは、半導体基板上に、第1導電型半導体バッファ層と、半導体増倍層と、第2導電型半導体電界緩和層と、第2導電型半導体光吸収層と、第2導電型半導体キャップ層と、第2導電型半導体コンタクト層とからなる積層構造を有するアバランシェフォトダイオードにおいて、前記第2導電型半導体光吸収層が、前記第2導電型半導体電界緩和層に隣接する厚さ10nm以上0.3μm以下の空乏化領域と、さらにこれに隣接する厚さ2μm以下の非空乏化領域の2層から構成されることを特徴とする。この場合、例えば、前記第1導電型はn型で、前記第2導電型はp型である。また、この第一のアバランシェフォトダイオードは、エッチングで形成した端面入射構造を有していると好適である。さらには、前記第2導電型光吸収層のキャリア濃度が、該空乏化光吸収層にむかって、段階的に、または、連続的に変化していると好適である。

【0008】本発明の第一のアバランシェフォトダイオードの作用を図1および図2を用いて説明する。尚、図の詳細については、発明の実施の形態において詳述する。図1に示すメサ型素子構造においては、図6、図7に示す従来例との比較を行うと、p型半導体光吸収層(図6の65に相当)が、該p型半導体電界緩和層14に隣接する厚さ10nm以上0.3μm以下の空乏化領

域15、さらにこれに隣接する厚さ2μm以下の非空乏化領域16の両方を具備することが新規な特徴である。従来例では、該p型半導体光吸收層が单一の厚さ0.4μm以上の空乏化領域を含む光吸收層65で構成されている。本発明の構成では、空乏化する光吸收層の層厚が極端に薄いため、メサ側壁において露出する空乏化したナローバンドギャップInGaAs光吸收層の表面積を極端に小さくすることができる。従来例のメサ型素子の暗電流の経時劣化の原因は、この空乏化したナローバンドギャップInGaAs光吸收層と表面保護膜110との間の界面の経時的不安定性によるものであるから、本発明では、表面積の極小化の効果により、該界面の経時的安定性が大きく改善され、経時的に安定な暗電流特性・高信頼特性が実現できる。その際、パシベーション膜110にはポリイミド等の有機膜ばかりでなく、SiN等の無機膜も用いることができる。応答速度に関しては、該p型非空乏化光吸收層16で発生したフォトキャリアのうち電子は、有効質量が小さく熱拡散速度が大きいので、厚さが2μm以下であれば電子拡散走行により、ギガビット応答に十分可能な時間で該p型空乏化光吸收層15に注入され、次に、該p型空乏化光吸收層15における電界で加速されエネルギーを獲得するので、該電界緩和層14との間のヘテロ障壁をGHz以上の高速応答で乗り越えることができる。この時、該p型空乏化光吸收層15における電界で加速されエネルギーを獲得するためには、ある程度以上の走行距離が必要である。よって、該p型空乏化光吸收層15の厚さの下限は、電界加速によるエネルギー獲得に必要な最小値、また、上限値は、前述の、高信頼化の効果が得られる最大値、の各々によって与えられることになる。一方、該p型非空乏化光吸收層16で発生したフォトキャリアのうち正孔は、誘電緩和時間で短時間に応答、p型電極111に収集される。さらに、該p型非空乏化光吸收層16のキャリア濃度が該空乏化光吸收層にむかって段階的に、もしくは連続的に変化していることを特徴とする構造を付加すると、フェルミレベルの傾斜が電子拡散を促進することから、該p型非空乏化光吸收層16の厚さに対して相対的により高速応答（比較的厚い場合1.5～2μmでも、10Gb/s近い応答特性）を実現できる。以上、シンプルな素子構造で、ギガビット応答特性を有し、高信頼なメサ型APDが実現できる。図1では、裏面入射構造素子に本発明の構造を適応したもので、表面入射型に比較して低容量化が容易である。図2では、導波路構造を有するが、エッチングで形成した端面入射構造を有し、形成の容易なSiN等の無機無反射膜をパシベーション膜210として端面にコートすることで素子が作製できる。すなわち、作製が容易で、ギガビット応答・高信頼でかつ、他の光導波路とのパッシブ実装が容易・低実装コストのメサ型APDを実現できる。

【0009】本発明の第二のアバランシェフォトダイオードは、半導体基板上に、第1導電型半導体バッファ層、第1導電型半導体光吸收層、第1導電型半導体電界緩和層、半導体増倍層、エッチング停止層、第2導電型半導体キャップ層、第2導電型半導体コンタクト層からなる積層構造を有し、かつ、受光領域の外周部分に表面より少なくとも概第1導電型半導体電界緩和層に達する深さの第1導電型化領域、さらには、該受光領域上の該第2導電型半導体キャップ層と該第1導電型化領域の間に深さが該第2導電型半導体コンタクト層と該キャップ層の厚さ和に相当する環状分離構領域、を有するアバランシェフォトダイオードにおいて、前記第1導電型半導体光吸收層が、前記第1導電型半導体電界緩和層に隣接する厚さ10nm以上0.3μm以下の空乏化領域と、さらにこれに隣接する厚さ2μm以下の非空乏化領域の2層から構成されることを特徴とする。この場合、例えば、第1導電型がp型、第2導電型がn型である。また、この第二のアバランシェフォトダイオードは、エッチングで形成した端面入射構造を有し、該端面からの該第1導電型化領域の長さが20μm以下であると好適である。さらに、前記端面入射構造における後端面からの第1導電型化領域の長さが20μm以下であると好適である。さらには、前記第1導電型光吸收層のキャリア濃度が、前記空乏化光吸收層にむかって、段階的に、または、連続的に変化していると好適である。

【0010】本発明の第二のアバランシェフォトダイオードの作用を図3および図4を用いて説明する。尚、図の詳細については、発明の実施の形態において詳述する。図3に示すプレーナ型素子構造は、図8に示す従来例（IEEE Photonic Technology Letters, 8巻、827-829ページ、1996）の素子構造を基本としているが、該p型半導体光吸收層（図8の83に相当）が、該p型半導体電界緩和層35に隣接する厚さ10nm以上0.3μm以下の空乏化領域34と、さらにこれに隣接する厚さ2μm以下の非空乏化領域33の両方を具備することを新規な特徴とする。これに対して従来例では、該p型半導体光吸收層83が单一の厚さ1μm以上の空乏化領域を含む光吸收層で構成されている。本発明の構成では、空乏化する光吸收層34の層厚が極端に薄いため、バイアス電圧のうちこの層に配分される電圧分が数V程度以下と極端に小さくなるので、光吸收増倍分離（SAM）構造のAPDで通常不可欠なガードリングを特に設けなくても面内均一増倍が容易に得られるという利点を有する。すなわち、該空乏化光吸收層34の厚さの下限は、前述と同じく電界加速によるヘテロ障壁分エネルギーの獲得に必要な最小値、また、上限値は、ガードリングなしで高い再現性で均一増倍の得られる最大値、の各々によって与えられることになる。以上、シンプルな素子構造で、50ギガビット応答特性を有し、非常に高信頼なプレーナ型

APDが実現できる。図3では、裏面入射構造素子に本発明の構造を適応したもので、表面入射構造に比較して低容量化が容易である。図4では、導波路構造を有するが、エッティングで形成した端面入射構造を有し、該光入射端面部から該p型化領域411の長さが20μm以下であることを新規な特徴とする。また、これに加えて、後端面からの該p型化領域411の長さも20μm以下であることを新規な特徴とする。このような構造では、該p型化領域411では光吸收はあるがアバランシェ増倍は起こらない無効な領域が存在する。しかし、本発明の領域長の範囲では光吸收量は顕著でなく、量子効率の低下はほとんど生じない。また、後端面領域もこの様な構造であれば、高反射膜417をコートすることで、光吸收無しに反射光を利用できるので短い素子長(低素子容量)でも高量子効率が実現できる。この素子構造では、導波路の横方向の光閉じ込め機能は、受光領域の導波路上部のn型キャップ層48がリッジ形状であるため、これにより得られる。応答速度に関しては、図1の本発明のときと同じ原理で高速応答する。このような導波路構造プレーナ型APDは、作製が容易で、ギガビット応答・高信頼でかつ、他の光導波路とのパッシブ実装が容易なため、実装コストの低減可能というメリットも有する。

【0011】

【発明の実施の形態】第一の実施形態について説明する。まず、はじめにn基板上11にn型バッファ層12を約1μm、ノンドープInAlGaAs/InAlAs超格子増倍層13を～0.5μm、p⁺型InP電界緩和層14を30～100nm、p型空乏化InGaAs光吸收層15を10nm、p型非空乏化InGaAs光吸收層16を～1.5μm、p⁺型InPキャップ層17を0.5μm、p⁺型InGaAs層18を0.1μm、順次ガスソースMBE法で積層する。次に、直径20～50μm程度の円形受光領域メサ19をエッティングにより形成する。ついで、パッシベーション膜110をSiNもしくは、ポリイミドで形成し、p/n電極111/112を形成し、基板11を150μm程度に鏡面研磨後、基板裏面にARコート113を形成する。以上のプロセスにより本発明の第一の実施形態の裏面入射型メサ型アバランシェフォトダイオードが製作できる。本素子では、増倍暗電流が10nA程度以下の低暗電流で高速(GB積70～80GHz)な特性が確認され、さらには、暗電流の経時的安定性も、たとえば150℃のエージングでも1000時間経過後も暗電流の増加が全くない高信頼な特性が確認された。

【0012】第二の実施形態について説明する。まず、はじめにn基板上21にn型バッファ層22を約1μm、ノンドープInAlGaAs/InAlAs超格子増倍層23を～0.5μm、p⁺型InP電界緩和層24を30～100nm、p型空乏化InGaAs光吸收

層25を10nm、p型非空乏化InGaAs光吸收層26を～1.5μm、p⁺型InPキャップ層27を0.5μm、p⁺型InGaAs層28を0.1μm、順次ガスソースMBE法で積層する。次に、幅10μm長さ50～100μm程度の長方形受光領域メサ29をエッティングにより形成する。ついで、パッシベーション膜210をSiNで形成し、p/n電極211/212を形成し、基板21を150μm程度に鏡面研磨する。なお、該長方形メサの光り入射端面以外の段差部に段差緩和・補強用のポリイミドを付加する場合もある。以上のプロセスにより本発明の第二の実施形態のメサ型導波路構造アバランシェフォトダイオードが製作できる。本素子では、増倍暗電流が10nA程度以下の低暗電流で高速(GB積70～80GHz)な特性が確認され、さらには、暗電流の経時的安定性も、たとえば150℃のエージングでも1000時間経過後も暗電流の増加が全くない高信頼な特性が確認された。

【0013】第三の実施形態について説明する。まず、はじめにSI-InP基板上31にp型バッファ層32を約1μm、p型非空乏化InGaAs光吸收層33を～1.5μm、p型空乏化InGaAs光吸收層34を10nm、p⁺型InP電界緩和層35を30～100nm、ノンドープInAlGaAs/InAlAs超格子増倍層36を～0.5μm、ノンドープInPエッティング停止層37を10nm、n⁺型InAlAsキャップ層38を0.5μm、n⁺型InGaAs層39を0.1μm、順次ガスソースMBE法で積層する。なお、InP基板はp型、n型を用いても同様である。次に、直径25μmの円形受光領域310の外周領域に、幅2～10μmの円環状分離溝312を上述のエッティング停止層37を用いて選択エッティングにて形成する。ついで、該円環状分離溝312の外周に、その内側の円形領域を残して選択的にp型化領域311をZn拡散もしくはBeイオン注入で形成する。Be注入の場合、2インチフルウェハでのプロセスが可能である。その後、パッシベーション膜313をSiNもしくは、ポリイミドで形成し、p/n電極314/315を形成し、基板31を150μm程度に鏡面研磨後、基板裏面にARコート316を形成する。以上のプロセスにより

40 本発明の第三の実施形態の裏面入射型プレーナ型アバランシェフォトダイオードが製作できる。本素子では、増倍暗電流が10nA程度以下の低暗電流で高速(GB積70～80GHz)な特性が確認され、さらには、暗電流の経時的安定性も、たとえば200℃のエージングでも1000時間経過後も暗電流の増加が全くない非常に高信頼な特性が確認された。

【0014】第四の実施形態について説明する。まず、はじめにSI-InP基板上41にp型バッファ層42を約1μm、p型非空乏化InGaAs光吸收層43を～1.5μm、p型空乏化InGaAs光吸收層44

を10nm、p⁺型InP電界緩和層45を30~100nm、ノンドープInAlGaAs/InAlAs超格子増倍層46を~0.5μm、ノンドープInPエッティング停止層47を10nm、n⁺型InAlAsキャップ層48を0.5μm、n⁺型InGaAs層49を0.1μm、順次ガスソースMBE法で積層する。なお、InP基板はp型、n型を用いても同様である。次に、直径15μm程度の円形部を両端に有し、両円を接続する長方形型からなる細長い導波路構造の受光領域410の外周領域に、幅2~10μmの円環状分離構412を上述のエッティング停止層47を用いて選択エッティングにて形成する。ついで、該分離構412の外周に、その内側領域を残して選択的にp型化領域411をZn拡散もしくは、Beイオン注入で形成する。Be注入の場合、2インチフルウェハでのプロセスが可能である。その後、導波路メサを形成するためのメサエッティング工程で長方形メサを形成、パッシベーション膜413としてSiNを堆積し、p/n電極414/415を形成後、基板41を150μm程度に研磨する。該パッシベーション膜は光入射端面部分では、無反射(AR)膜416としても作用する。以上のプロセスにより本発明の第四の実施形態のプレーナ導波路型アバランシェフォトダイオードが製作できる。本素子では、増倍暗電流が10nA程度以下の低暗電流で高速(GB積70~80GHz)な特性が確認され、さらには、暗電流の経時安定性も、たとえば200°Cのエージングでも1000時間経過後も暗電流の増加が全くない非常に高信頼な特性が確認された。また、他の光導波路(PLC等)とのパッシブアライメント実装も容易であった。また、該導波路構造の後端面に高反射膜を形成した素子では、短い導波路長、すなわち、低素子容量で、高量子効率が実現できた。

【0015】上記の第三および第四の実施形態ではエッティング停止層を用いた場合を示しているが、エッティング停止層がない場合も、通常のドライエッティング法を用いれば、深さ方向の精度に支障なく同様の素子形状が形成できるので、本発明の趣旨と全く同様といえる。

【0016】また、上記の第二および第四の実施形態の導波路構造APDにおいては、入射端面と光ファイバとの結合損を低下させるために、APD導波路構造中に非空乏化中間屈折率層を挿入し、導波モードをマルチモード化すれば、外部量子効率を向上できる。

【0017】さらに、上記の第一から第四のいずれの実施形態においても、増倍層にInAlAs/InAlGaAs超格子、電界緩和層にInPを用いた素子構造で説明がなされているが、増倍層にInAlAs/InGaAs超格子、あるいはAlを含む半導体層(InAlAs、InAlAsP)、電界緩和層にInAlAs、InGaAsPを用いた素子構造、及び、これらの組み合

わせで構成される素子構造の場合も全て同様である。

【0018】また、上記の第一から第四のいずれの実施形態においても、該非空乏化光吸収層のキャリア濃度が单一の場合を想定したが、このキャリア濃度が該空乏化光吸収層にむかって、段階的に、もしくは連続的に変化している場合も素子構造は同様である。

【0019】また、上記の第三および第四の実施例において、p-InP基板、もしくは、n-InP基板を用いた構造でも、全く同様である。

10 【0020】

【発明の効果】以上詳述したように、本発明に係るアバランシェフォトダイオードによれば、簡易な構造で、ギガビット応答特性の高信頼な、APDを製作でき、次世代の加入者系光通信システム用高感度受光素子が実現できる。

【図面の簡単な説明】

【図1】 本発明の第一のアバランシェフォトダイオードを示す断面図である。

【図2】 本発明の第一のアバランシェフォトダイオードの端面入射構造を有する場合の断面図である。

【図3】 本発明の第二のアバランシェフォトダイオードを示す断面図である。

【図4】 本発明の第二のアバランシェフォトダイオードの端面入射構造を有する場合の断面図である。

【図5】 第一の従来例のアバランシェフォトダイオードを示す斜視図である。

【図6】 第二の従来例のアバランシェフォトダイオードを示す断面図である。

【図7】 第三の従来例のアバランシェフォトダイオードを示す断面図である。

【図8】 第四の従来例のアバランシェフォトダイオードを示す断面図である。

【図9】 第五の従来例のアバランシェフォトダイオードを示す断面図である。

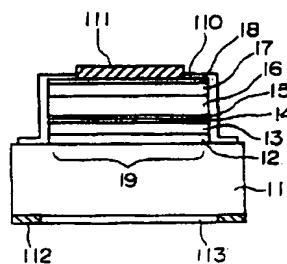
【符号の説明】

1 1	半導体基板
1 2	n型半導体バッファ層
1 3	半導体増倍層
1 4	p型半導体電界緩和層
40 1 5	p型空乏化半導体光吸収層
1 6	p型非空乏化半導体光吸収層
1 7	p型半導体キャップ層
1 8	p型半導体コタクト層
1 9	受光領域
1 1 1	p電極
1 1 2	n電極
2 1	半導体基板
2 2	n型半導体バッファ層
2 3	半導体増倍層
50 2 4	p型半導体電界緩和層

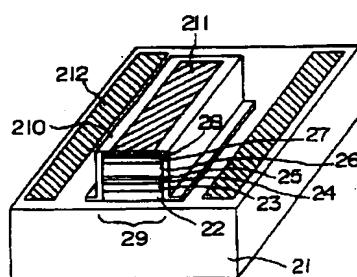
11

2 5 p型空乏化半導体光吸收層
 2 6 p型非空乏化半導体光吸收層
 2 7 p型半導体キャップ層
 2 8 p型半導体コタクト層
 2 9 受光領域
 2 1 1 p電極
 2 1 2 n電極
 3 1 半導体基板
 3 2 p型半導体バッファ層
 3 3 p型非空乏化半導体光吸收層
 3 4 p型空乏化半導体光吸收層
 3 5 p型半導体電界緩和層
 3 6 半導体増倍層
 3 7 半導体エッチング停止層
 3 8 n型半導体キャップ層
 3 9 n型半導体コタクト層
 3 1 0 受光領域
 3 1 1 p型化領域
 3 1 2 環状分離溝
 3 1 4 p電極
 3 1 5 n電極
 4 1 半導体基板
 4 2 p型半導体バッファ層
 4 3 p型非空乏化半導体光吸收層

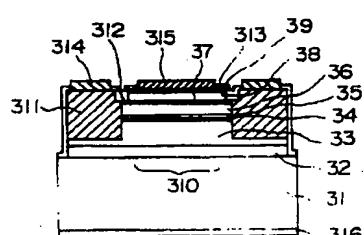
【図1】



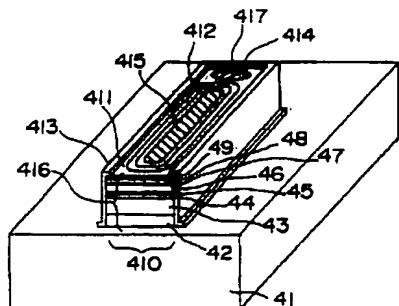
【図2】



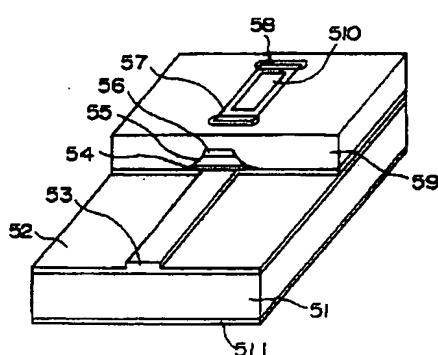
【図3】



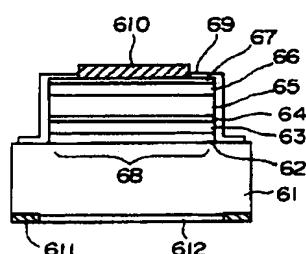
【図4】



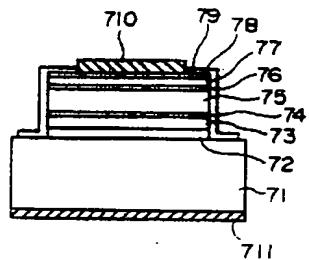
【図5】



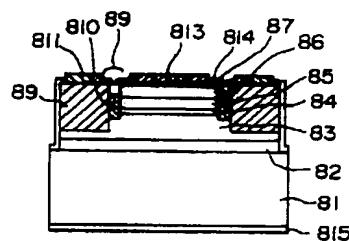
【図6】



【図7】



【図8】



【図9】

